

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

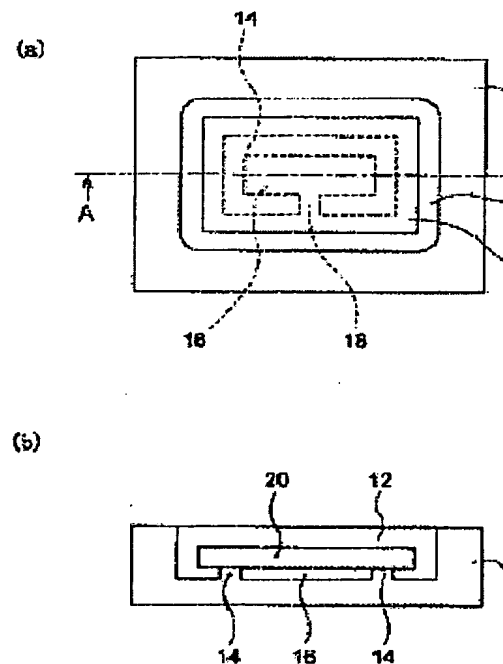
## SEMICONDUCTOR DEVICE

Patent number: JP2002033341  
 Publication date: 2002-01-31  
 Inventor: YOKOYAMA HIRONORI  
 Applicant: SONY CORP  
 Classification:  
 - international: H01L21/52  
 - european:  
 Application number: JP20000217861 20000718  
 Priority number(s):

### Abstract of JP2002033341

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, capable of preventing generation of the shifting defect that a semiconductor element chip is locally lifted due to the thermal expansion of air inside a void part of a diamond chip part at the housing of the semiconductor element chip inside a package.

**SOLUTION:** A roughly square-shaped diamond chip part 14 is provided on the bottom surface of the housing part 12 of the package 10 and a ventilation groove 18 for ventilating the void part 16 at the center part and the outside is provided further. Thus, at adherence of the semiconductor element chip 20 to the upper surface of the diamond chip part 14 via an adhesive material 22, then executing thermal treatment and hardening the adhesive material 22, thermally expanded air inside the void part 16 of the diamond chip part 14, in a state of being covered with the semiconductor element chip 20 is released through the ventilation groove 18 to the outside of the diamond chip part 14. Thus, the generation of the shifting defect that the semiconductor element chip 20 is lifted locally, due to the thermal expansion of the air inside the void part 16 of the diamond chip part 14 is prevented.



10...パッケージ  
 12...収納部  
 14...ダイヤモンドチップ部  
 16...空洞部  
 18...通気溝  
 20...半導体素子チップ

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-33341

(P2002-33341A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl.<sup>7</sup>  
H01L 21/52

識別記号

FI  
H01L 21/52

テーマコード(参考)  
L 5F047

審査請求 未請求 請求項の数 2 OL (全 7 頁)

(21)出願番号 特願2000-217861(P2000-217861)

(22)出願日 平成12年7月18日(2000.7.18)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 横山 裕紀

鹿児島県国分市野口北5番1号 ソニー国

分株式会社内

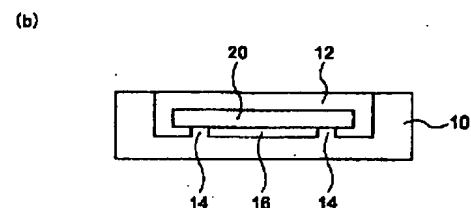
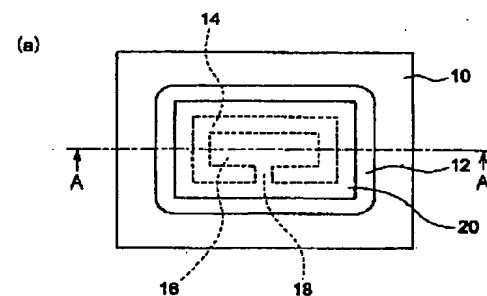
Fターム(参考) 5F047 AA13 AB06 BA21

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 パッケージ内に半導体素子チップを収納する際、ダイアチップ部の空洞部内の空気の熱膨張に起因して半導体素子チップが局所的に浮き上がるアオリ不良の発生を防止することが可能な半導体装置を提供することを目的とする。

【解決手段】 パッケージ10の収納部12底面上に略ロ字形のダイアチップ部14が設けられ、更にその中央部の空洞部16と外部とを通気する通気溝18が設けられている。このため、半導体素子チップ20を接着剤22を介してダイアチップ部14上面に接着した後、熱処理を施して接着剤22を硬化する際、半導体素子チップ20によって蓋をされた状態のダイアチップ部14の空洞部16内の熱膨張した空気は通気溝18を通してダイアチップ部14の外部に逃げることになる。従って、ダイアチップ部14の空洞部16内の空気の熱膨張に起因して半導体素子チップ20が局所的に浮き上がるアオリ不良の発生が防止される。



10.....パッケージ  
12.....収納部  
14.....ダイアチップ部  
16.....空洞部  
18.....通気溝  
20.....半導体素子チップ

#### 【特許請求の範囲】

【請求項1】 パッケージ内に半導体素子チップが収納されている半導体装置であって、前記パッケージの収納部の底面上に略口字形に設けられ、中央部に空洞部を有するダイアチップ部と、前記ダイアチップ部に設けられ、前記ダイアチップ部の外部と前記空洞部とを通気する通気溝と、前記ダイアチップ部上に固着された前記半導体素子チップと、を備えていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記通気溝が、前記ダイアチップ部の略口字形の辺の対向する2辺に少なくとも1か所ずつ設けられていることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特にパッケージ内に半導体素子チップが収納されている半導体装置に関するものである。

##### 【0002】

【従来の技術】従来のパッケージ内に半導体素子チップを収納するプロセスを、半導体装置の概略平面図である図6(a)、図6(a)におけるA-A線断面図である図6(b)、及び同じく半導体装置の概略平面図である図7(a)、図7(a)におけるA-A線断面図である図7(b)を用いて説明する。まず、図6に示されるようなパッケージ10を用意するが、このパッケージ10においては、その中央部に半導体素子チップを収納する凹形状の収納部12が設けられている。そして、この収納部12底面上には、略口字形のダイアチップ部14が設けられており、その略口字形の4辺に囲まれた中央部は空洞部16となっている。

【0003】次いで、図7に示されるように、このダイアチップ部14上面に接着剤(図示せず)を塗布した後、この接着剤を塗布したダイアチップ部14上面に半導体素子チップ20を載置し、押圧する。こうして、半導体素子チップ20裏面を接着剤を介してダイアチップ部14上面に接着する。

【0004】続いて、ダイアチップ部14上面に半導体素子チップ20を載置したパッケージ10を、高温槽(キュア炉)内に入れて、所定の熱処理を施し、半導体素子チップ20裏面をダイアチップ部14上面に接着している接着剤を硬化する。こうして、半導体素子チップ20をダイアチップ部14上面に固着する。

【0005】ところで、パッケージ10の凹形状の収納部12底面上にダイアチップ部14が設けられているのは、次のような理由によるものである。即ち、ダイアチップ部14がない場合には、半導体素子チップ20を凹形状の収納部12内に収納する際に、半導体素子チップ20の角部が収納部12底面に接触し、その衝撃によっ

て半導体素子チップ20の角部が欠損する場合があった。

【0006】このため、ダイアチップ部14を設け、このダイアチップ部14上面に半導体素子チップ20を載置することにより、図7に示されるように、半導体素子チップ20の四隅の角部と収納部12底面との間に空間24が生じるようにする。そして、半導体素子チップ20の角部と収納部12底面との接触を回避し、半導体素子チップ20の角部が欠損することを防止している。

【0007】また、ダイアチップ部14が略口字形をなし、その中央部が空洞部16となっているのは、次のような理由によるものである。ダイアチップ部14がその中央部の空洞部16のない平板状の台をなしている場合には、パッケージ10を高温槽内に入れて所定の熱処理を施す際に、この平板状のダイアチップ部14に反り等が生じ、その平板状の上面の平坦性が損なわれる危険性が高くなる。そして、このような事態が生じると、ダイアチップ部14上面に接着剤を介して接着した半導体素子チップ20が局所的に浮き上がり、所謂アオリ不良が発生する。

【0008】このため、ダイアチップ部14を略口字形にしてその中央部に空洞部16を設けることにより、熱処理を施す際にも、反り等が生じてその上面の平坦性が損なわれることを回避して、半導体素子チップ20のアオリ不良の発生を防止している。

##### 【0009】

【発明が解決しようとする課題】しかし、上記従来のパッケージ10においては、半導体素子チップ20裏面を接着剤を介してダイアチップ部14上面に接着する際に、ダイアチップ部14の中央部の空洞部16は半導体素子チップ20によって蓋をされた状態となり、密閉された空間となる。

【0010】このため、続いて高温槽内においてパッケージ10に所定の熱処理を施す際、密閉空間となったダイアチップ部14の空洞部16内の空気が熱膨張する。このとき、この空洞部16内の空気には、パッケージ10の構造上、逃げ場がない。従って、半導体素子チップ20をダイアチップ部14上面に接着している接着剤が熱処理によって硬化する前に、半導体素子チップ20を持ち上げてしまう事態が生じる。即ち、半導体素子チップ20が局所的に浮き上がり、アオリ不良が発生する。

【0011】そこで本発明は、上記事情を鑑みてなされたものであり、パッケージ内に半導体素子チップを収納する際に、ダイアチップ部の空洞部内の空気の熱膨張に起因して半導体素子チップが局所的に浮き上がるアオリ不良の発生を防止することが可能な半導体装置を提供することを目的とする。

##### 【0012】

【課題を解決するための手段】上記課題は、以下に述べる本発明に係る半導体装置によって達成される。即ち、

請求項１に係る半導体装置は、パッケージ内に半導体素子チップが収納されている半導体装置であって、パッケージの収納部の底面上に略ロ字形に設けられ、中央部に空洞部を有するダイアチップ部と、このダイアチップ部に設けられ、ダイアチップ部の外部と前記空洞部とを通気する通気溝と、ダイアチップ部に固着された前記半導体素子チップと、を備えていることを特徴とする。

【００１３】このように請求項１に係る半導体装置においては、パッケージの収納部の底面上に略ロ字形に設けられたダイアチップ部に、ダイアチップ部の外部と中央部の空洞部とを通気する通気溝が設けられていることにより、半導体素子チップを接着剤を介してダイアチップ部上面に接着する際に、ダイアチップ部の中央部の空洞部が半導体素子チップによって蓋をされた状態となっても、その空洞部は密閉された空間とはならない。このため、続いて高温槽内においてパッケージに所定の熱処理を施す際に、ダイアチップ部の空洞部内の空気が熱膨張しても、この空洞部内の空気が通気溝を通してダイアチップ部の外部に逃げることになる。従って、ダイアチップ部の空洞部内の空気の熱膨張に起因して半導体素子チップが局所的に浮き上がるアオリ不良の発生が容易に防止される。

【００１４】また、請求項２に係るチップ状半導体装置の移載方法は、上記請求項１に係る半導体装置において、通気溝が、ダイアチップ部の略ロ字形の辺の対向する２辺に少なくとも１か所ずつ設けられている構成とすることにより、パッケージに所定の熱処理を施す際に、半導体素子チップによって蓋をされた状態のダイアチップ部の中央部の空洞部内の熱膨張した空気が、ダイアチップ部の対向する２辺に設けられている通気溝を通して、正反対の２方向に同時に逃げることになる。このため、上記請求項１の場合の作用に加えて、このダイアチップ部の空洞部内の空気が通気溝を通して外部に逃げる際の反動として半導体素子チップが一方向に微動することが防止される。

【００１５】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

（第１の実施形態）図１（ａ）、（ｂ）はそれぞれ本発明の第１の実施形態に係るパッケージ内に半導体素子チップが収納されている半導体装置を示す平面図及びそのＡ－Ａ線断面図である。また、図２～図４はそれぞれ図１に示す半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図である。なお、図２～図４の各（ａ）、（ｂ）はそれぞれ図１（ａ）、（ｂ）に対応する平面図及び断面図である。

【００１６】図１（ａ）、（ｂ）に示されるように、本実施形態に係る半導体装置においては、例えばＣＣＤ（Charge Coupled Device）用のパッケージ１０の中央

部に、凹形状の収納部１２が設けられている。

【００１７】また、この収納部１２底面上には、略ロ字形のダイアチップ部１４が設けられており、その略ロ字形の４辺に囲まれた中央部は空洞部１６となっている。そして、このダイアチップ部１４には、その空洞部１６と外部とを通気する通気溝１８が所定の１か所に設けられており、この点に本実施形態の特徴がある。

【００１８】なお、この通気溝１８の寸法は、ダイアチップ部１４の空洞部１６と外部とを通気するという機能を果たす限り、幾ら小さくてもよいし、半導体素子チップ２０裏面と接続するためのダイアチップ部１４上面が残存する限り、幾ら大きくてもよい。従って、この範囲内であれば、寸法の変更は任意に可能である。

【００１９】また、このダイアチップ部１４上面には、ＣＣＤ等が形成されている半導体素子チップ２０裏面が接着剤を介して固着されている。こうして、半導体素子チップ２０がパッケージ１０の収納部１２に収納されている。

【００２０】次に、図１（ａ）、（ｂ）に示される半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスを、図２～図４を用いて説明する。先ず、最初に、図２（ａ）、（ｂ）に示されるようなパッケージ１０を用意する。即ち、このパッケージ１０においては、その中央部に凹形状の収納部１２が設けられている。そして、この収納部１２底面上には、略ロ字形のダイアチップ部１４が設けられ、その中央部は空洞部１６となっていると共に、このダイアチップ部１４には、その空洞部１６と外部とを通気する通気溝１８が設けられている。

【００２１】次いで、図３（ａ）、（ｂ）に示されるように、パッケージ１０のダイアチップ部１４上面に接着剤２２を塗布する。

【００２２】次いで、図４（ａ）、（ｂ）に示されるように、この接着剤２２を塗布したダイアチップ部１４上面に、半導体素子チップ２０をフェースアップに載置し、押圧する。こうして、半導体素子チップ２０裏面を接着剤２２を介してダイアチップ部１４上面に接着する。

【００２３】なお、このとき、ダイアチップ部１４の中央部の空洞部１６は半導体素子チップ２０によって蓋をされた状態となるが、ダイアチップ部１４には、その空洞部１６と外部とを通気する通気溝１８が設けられているため、この空洞部１６は密閉された空間とはならない。

【００２４】続いて、このダイアチップ部１４上面に半導体素子チップ２０を載置したパッケージ１０を、高温槽内に入れて所定の熱処理を施し、半導体素子チップ２０裏面をダイアチップ部１４上面に接着している接着剤２２を硬化する。こうして、半導体素子チップ２０をダイアチップ部１４上面に固着する。

【0025】なお、このとき、半導体素子チップ20によって蓋をされた状態のダイアチップ部14の空洞部16内の空気は熱膨張するが、この空洞部16内の熱膨張した空気は通気溝18を通過してダイアチップ部14の外部に逃げる。このため、ダイアチップ部14の空洞部16内の空気の熱膨張に起因して半導体素子チップ20が局所的に浮き上がるアオリ不良の発生は容易に防止される。

【0026】以上のようにして、図1(a)、(b)に示されるような、半導体素子チップ20がパッケージ10の収納部12に収納されている半導体装置を作製する。

【0027】このように本実施形態によれば、その中央部が空洞部16となっている略ロ字形のダイアチップ部14に、その空洞部16と外部とを通気する通気溝18が設けられていることにより、ダイアチップ部14上面に半導体素子チップ20をフェースアップに載置し、押圧して、半導体素子チップ20裏面を接着剤22を介してダイアチップ部14上面に接着する際に、ダイアチップ部14の中央部の空洞部16は半導体素子チップ20によって蓋をされた状態となるものの、この空洞部16は通気溝18の存在によって密閉空間とはならない。

【0028】このため、パッケージ10を高温槽内に入れて所定の熱処理を施し、半導体素子チップ20裏面をダイアチップ部14上面に接着している接着剤22を硬化して、半導体素子チップ20をダイアチップ部14上面に固着する際に、半導体素子チップ20によって蓋をされた状態のダイアチップ部14の空洞部16内の空気は熱膨張するものの、この空洞部16内の熱膨張した空気は通気溝18を通過してダイアチップ部14の外部に逃げることになる。従って、ダイアチップ部14の空洞部16内の空気の熱膨張に起因して半導体素子チップ20が局所的に浮き上がるアオリ不良の発生を容易に防止し、高い信頼性をもつ半導体装置を実現することができる。

【0029】また、本実施形態によれば、先ず最初に用意するパッケージ10を例えば加圧成形法によって作製する場合、その際に使用する金型を従来のものと変えるのみで、通気溝18が設けられているダイアチップ部14を容易に作成することが可能なため、従来のダイアチップ部に通気溝が設けられていない場合と比較して製造コストや工程数を殆ど増大することなく、作製することができる。

【0030】(第2の実施形態) 図5(a)、(b)はそれぞれ本発明の第2の実施形態に係る半導体装置を示す平面図及びそのA-A線断面図である。なお、上記第1の実施形態における図1(a)、(b)に示す半導体装置の構成要素と同一の要素には同一の符号を付して説明を省略する。

【0031】本実施形態に係る半導体装置は、上記第1

の実施形態においてダイアチップ部14の空洞部16とその外部とを通気する通気溝18が所定の1か所に設けられている代わりに、通気溝がダイアチップ部の略ロ字形の4辺のうちの対向する2辺にそれぞれ1か所ずつ設けられているものである。

【0032】即ち、図5(a)、(b)に示されるように、本実施形態に係る半導体装置においては、その中央部が空洞部16となっている略ロ字形のダイアチップ部14の略ロ字形の4辺のうちの対向する2辺に、その空洞部16と外部とを通気する通気溝18a、18bがそれぞれ1か所ずつ設けられており、この点に本実施形態の特徴がある。

【0033】なお、これら通気溝18a、18bの寸法は、上記第1の実施形態の場合と同様に、ダイアチップ部14の空洞部16と外部とを通気するという機能を果たす限り、幾ら小さくてもよいし、半導体素子チップ20裏面と接続するためのダイアチップ部14上面が残存する限り、幾ら大きくてもよい。従って、この範囲内であれば、寸法の変更は任意に可能である。

【0034】また、この図5(a)、(b)に示される半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスも、上記図2～図4を用いて説明した第1の実施形態の場合と基本的に同様であるため、その図示及び説明は省略する。

【0035】このように本実施形態によれば、その中央部が空洞部16となっている略ロ字形のダイアチップ部14に、その空洞部16と外部とを通気する通気溝18a、18bが設けられていることにより、上記第1の実施形態の場合と同様に、パッケージ10を高温槽内に入れて所定の熱処理を施し、半導体素子チップ20裏面をダイアチップ部14上面に接着している接着剤22を硬化して、半導体素子チップ20をダイアチップ部14上面に固着する際、半導体素子チップ20によって蓋をされた状態のダイアチップ部14の空洞部16内の空気が熱膨張しても、その熱膨張した空気は通気溝18a、18bを通過してダイアチップ部14の外部に逃げるようになるため、ダイアチップ部14の空洞部16内の空気の熱膨張に起因して半導体素子チップ20が局所的に浮き上がるアオリ不良の発生を容易に防止し、高い信頼性をもつ半導体装置を実現することができる。

【0036】しかも、この場合、通気溝18a、18bのダイアチップ部14が略ロ字形の辺のうちの対向する2辺にそれぞれ1か所ずつ設けられていることにより、パッケージ10を高温槽内に入れて所定の熱処理を施す際に、半導体素子チップ20によって蓋をされた状態のダイアチップ部14の空洞部16内の熱膨張した空気は通気溝18a、18bを通過して正反対の2方向に同時に逃げるようになるため、このダイアチップ部14の空洞部16内の空気が通気溝18a、18bを通過して外部に逃げる際の反動として半導体素子チップ20が一方向に

微動することを防止することができる。

【0037】なお、上記第1の実施形態においてはダイアチップ部14の所定の1か所に通気溝18が設けられている場合を、上記第2の実施形態においてはダイアチップ部14の4辺のうちの対向する2辺の1か所ずつに通気溝18a、18bが設けられている場合をそれぞれ述べたが、通気溝の設置位置やその設置数は上記の場合に限定する必要はない。また、例えばダイアチップ部14の4辺にそれぞれ通気溝を設けてもよいし、また各辺に設ける通気溝の数を1か所に限定する必要もない。

【0038】そして、このような場合においても、既に説明したように、パッケージ10を加圧成形法によって形成する場合には、その際に使用する金型を従来のものと変えるのみで容易に作成可能なため、従来のダイアチップ部に通気溝が設けられていない場合と比較して製造コストや工程数を殆ど増大することなく、任意の箇所に任意の数だけ通気溝が設けられているパッケージを作製することができる。

【0039】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体装置によれば、パッケージの収納部の底面上に略ロ字形に設けられたダイアチップ部に、ダイアチップ部の外部と中央部の空洞部とを通気する通気溝が設けられていることにより、半導体素子チップをダイアチップ部上面に接着する際に、ダイアチップ部の中央部の空洞部が半導体素子チップによって蓋をされた状態となっても、その空洞部は密閉された空間とはならないため、続いてパッケージに所定の熱処理を施す際に、ダイアチップ部の空洞部内の熱膨張した空気は通気溝を通してダイアチップ部の外部に逃げるることができる。従って、ダイアチップ部の空洞部内の空気の熱膨張に起因して半導体素子チップが局所的に浮き上がるアオリ不良の発生を容易に防止し、高い信頼性をもつ半導体装置を実現することができる。

【0040】また、請求項2に係る半導体装置によれば、上記請求項1に係る半導体装置において、通気溝が、ダイアチップ部の略ロ字形の辺の対向する2辺に少なくとも1か所ずつ設けられていることにより、パッケージに所定の熱処理を施す際に、半導体素子チップによって蓋をされた状態のダイアチップ部の中央部の空洞部内の熱膨張した空気は、ダイアチップ部の対向する2辺に設けられている通気溝を通して、正反対の2方向に同

時に逃げることになるため、上記請求項1の場合の効果に加えて、このダイアチップ部の空洞部内の空気が通気溝を通して外部に逃げる際の反動として半導体素子チップが一方方向に微動することを防止することができる。従って、更に高い信頼性をもつ半導体装置を実現することができる。

【図面の簡単な説明】

【図1】(a)、(b)はそれぞれ本発明の第1の実施形態に係るパッケージ内に半導体素子チップが収納されている半導体装置を示す平面図及びそのA-A線断面図である。

【図2】図1に示す半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図(その1)であって、(a)、(b)はそれぞれ図1(a)、(b)に対応する平面図及び断面図である。

【図3】図1に示す半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図(その2)であって、(a)、(b)はそれぞれ図1(a)、(b)に対応する平面図及び断面図である。

【図4】図1に示す半導体装置の製造方法、即ちパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図(その3)であって、(a)、(b)はそれぞれ図1(a)、(b)に対応する平面図及び断面図である。

【図5】(a)、(b)はそれぞれ本発明の第2の実施形態に係るパッケージ内に半導体素子チップを収納されている半導体装置を示す平面図及びそのA-A線断面図である。

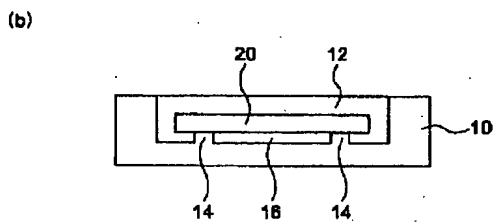
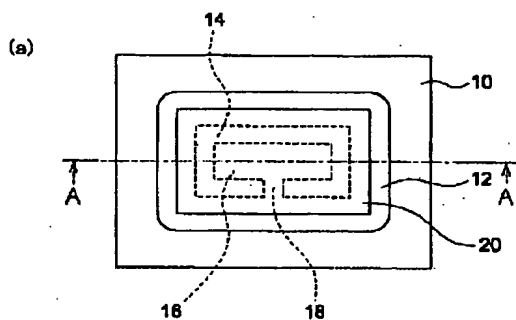
【図6】従来のパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図(その1)であって、(a)、(b)はそれぞれ平面図及び及びそのA-A線断面図である。

【図7】従来のパッケージ内に半導体素子チップを収納するプロセスを説明するための工程図(その2)であって、(a)、(b)はそれぞれ平面図及び及びそのA-A線断面図である。

【符号の説明】

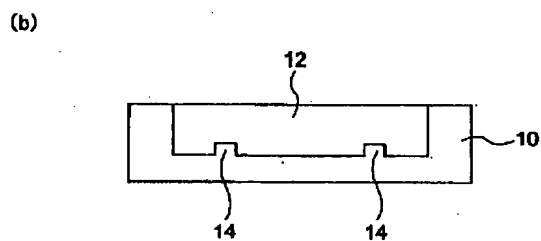
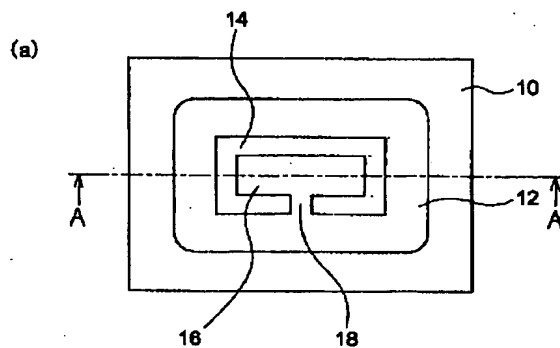
10……パッケージ、12……収納部、14……ダイアチップ部、16……空洞部、18、18a、18b……通気溝、20……半導体素子チップ、22……接着剤、24……空間。

【図 1】

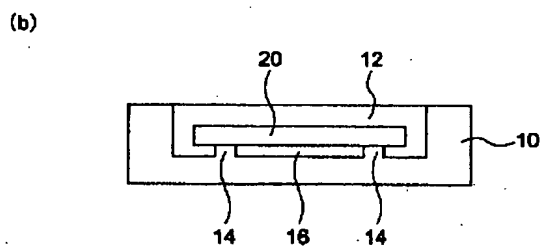
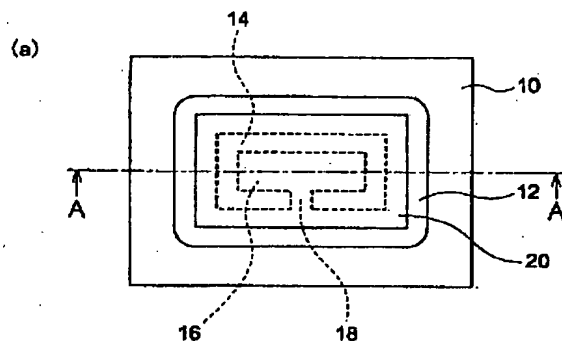


10.....パッケージ  
12.....収納部  
14.....ダイアチップ部  
16.....空孔部  
18.....通気溝  
20.....半導体素子チップ

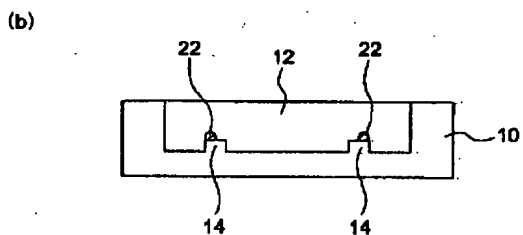
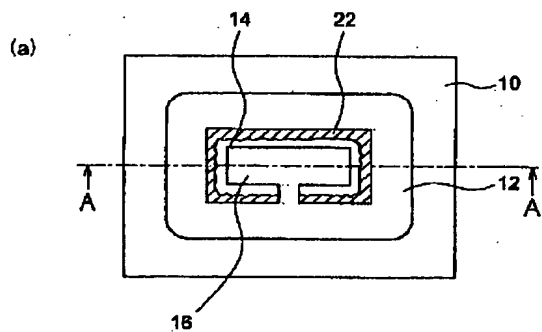
【図 2】



【図 4】



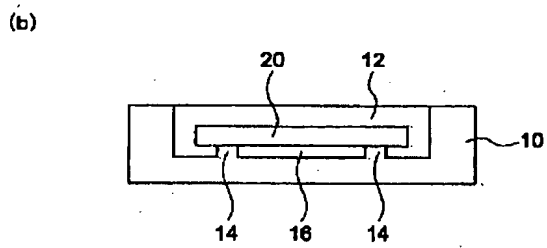
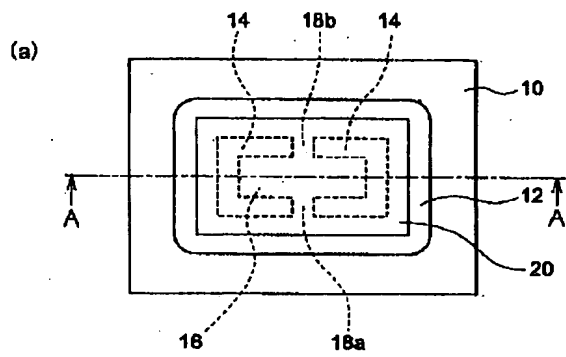
【図 3】



22.....接合剤

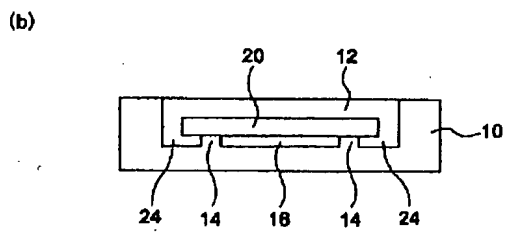
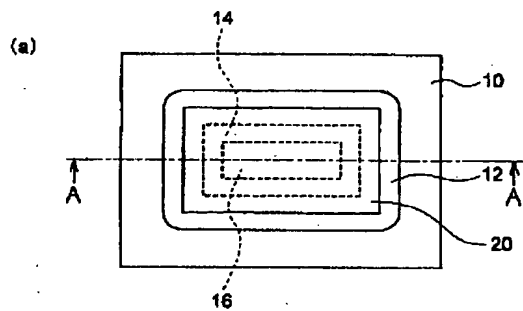


【図5】



18a, 18b.....通気溝

【図7】



24.....空間

【図6】

